UNIVERSIDAD AUTÓNOMA DE BAJA CALIFORNIA

COORDINACIÓN DE FORMACIÓN BÁSICA

COORDINACIÓN DE FORMACIÓN PROFESIONAL Y VINCULACIÓN UNIVERSITARIA

PROGRAMA DE UNIDAD DE APRENDIZAJE

I. DATOS DE IDENTIFICACIÓN

1. Unidad Académica (s): Facultad de Ciencias Químicas e Ingeniería

2. Programa (s) de estudio: (Técnico, Licenciatura (s) Ingeniería en Electrónica 3. Vigencia del plan: 2009-2

4. Nombre de la Asignatura **DISPOSITIVOS RECONFIGURABLES FPGAs** 5. Clave 17122

6. HC: 2 HL 2 HT 2 HPC ____ HCL ____ HE 2 CR 8

7. Ciclo Escolar: 2013-2 8. Etapa de formación a la que pertenece: Terminal

9. Carácter de la Asignatura: Obligatoria ____________ Optativa X

10. Requisitos para cursar la asignatura: (11680) Diseño Digital .

Formuló: Dr. José Luis González Vázquez

Vo. Bo. Dr. Luis E. Palafox Maestre

Fecha: 7 de Diciembre, 2012

Cargo: Director, Fac. de Ciencias Químicas e Ingeniería

II. PROPÓSITO GENERAL DEL CURSO

El curso de ***Dispositivos Reconfigurables FPGA***, expone al alumno a una de las tecnologías de más amplio crecimiento en el segmento de los sistemas digitales empotrados de alta escala de integración, presentándole los materiales relativos a las tecnologías digitales reconfigurables (FPGAs, CPLDs), las herramientas de software de desarrollo (Xilinx:ISE, Altera:Quartus), y lenguajes para la descripción de hardware (VHDL, Verilog), así como las estrategias metodológicas para el diseño, integración, simulación y prueba de sistemas de alta escala de integración, incluyendo ejemplos de aplicación en sistemas/subsistemas de comunicación, procesamiento de imágenes, instrumentación y sensado, control en tiempo real, y otros que requieren alta velocidad de procesamiento, portabilidad, bajo consumo de energía y/o alta escala de integración de funciones.

Por tratarse de un curso optativo de la etapa terminal, se proponen realizar en diversos momentos, actividades que le relacionen, le integren y le apliquen en los campos y entornos donde comúnmente se emplean las tecnologías aquí presentadas, y que han sido contempladas en el programa de estudios (Sistemas de Comunicaciones, de Instrumentación, de Control, y otros).

Por la amplitud de las temáticas y por la variedad de recursos disponibles comercialmente, se propone que el instructor elija las herramientas y tecnologías particulares a emplearse durante el curso en función de los recursos físicos disponibles.

III. COMPETENCIA (S) DEL CURSO

El alumno será competente para Diseñar e Implementar sistemas digitales basados en dispositivos reconfigurables (FPGAs) para la integración de sistemas en aplicaciones que requieren alta velocidad de procesamiento, bajo consumo de potencia, y alta escala de integración, empleando lenguajes descriptores de hardware (VHDL ó Verilog), software de desarrollo (ISE:Xilinx o Quartus:Altera), y plataformas de experimentación (Spartan/Virtex:Xilinx, Cyclone:Altera), así como metodologías y estrategias que hacen uso eficiente de esta oferta tecnológica, en forma sistemática y mostrando una actitud responsable, organizada y ética respecto a la viabilidad y oportunidad del uso de estas tecnologías.

IV. EVIDENCIA (S) DE DESEMPEÑO

Elaborar el reporte técnico que contenga el diseño, simulación, implementación y verificación eléctrica de un sistema electrónico-digital que basado en dispositivo reconfigurable de solución a algún problema de aplicación claramente identificado y contextualizado, donde se evidencie el juicioso, pertinente y eficiente uso de los recursos que las tecnologías reconfigurables ofrecen (alta escala de integración, procesamiento concurrente y/o de alto rendimiento, bajo consumo de energía, y alta fidelidad).

V. DESARROLLO POR UNIDADES

Competencia

El alumno será competente para…

[QUE] codificar algoritmos en lenguaje descriptor de hardware (HDL : VHDL, Verilog) y configurar dispositivos digitales reconfigurables (FPGA), …

[PARA QUE] para desarrollar módulos de procesamiento concurrente, de aplicación específica, de alta velocidad de procesamiento, ó de bajo consumo de recursos,

[CON QUE] empleando entornos integrados de desarrollo en software (ISE, Quartus) y tarjetas de desarrollo en hardware (Spartan, Virtex, Cyclone) para implementaciones eléctricas, siguiendo metodologías de codificación, depuración y prueba, …

[COMO] con actitud crítica respecto al óptimo empleo de recursos.

Contenido **Duración**

12 HC/ 12 HT / 12 HL

I. GENERALIDADES DEL HARDWARE RECONFIGURABLES Y LENGUAJE HDL.

1.1: Introducción y Contexto de las Tecnologías Digitales Reconfigurables.
- 1.1.1: De las compuertas lógicas a los dispositivos reconfigurables.
- 1.1.2: Metodologías de diseño digital automatizables.
- 1.1.3: De las tablas de verdad a la integración de alta escala.

1.2: Elementos básicos del Lenguaje HDL (VHDL ó Verilog)
- 1.2.1: Generalidades de los lenguajes descriptores de hardware (HDLs): Sintaxis y convenciones.
- 1.2.2: Elementos básicos de un código HDL: Librerías y paquetes, declaración de entidades, tipos de datos y operadores, cuerpo de la arquitectura.
- 1.2.3: Descripción de Hardware a nivel de compuerta.
- 1.2.4: Descripción de Hardware a nivel de Registros de Transferencia (RTL): Componentes, operadores y declaraciones de tipo.
- 1.2.5: Enunciados de asignación concurrente.
- 1.2.6: Descripción por Procesos.
- 1.2.7: Enunciados IF y CASE.
- 1.2.8: Constantes y Genéricos.
- 1.2.9: Circuitos Secuenciales Regulares.
- 1.2.10: Máquinas de Estados Finitas (FSM).
- 1.2.11: Memoria RAM interna.

1.3: Hardware reconfigurable (FPGA)
- 1.3.1: Descripción técnica del FPGA Spartan (Virtex ó Cyclone).
- 1.3.2: Descripción técnica de la tarjeta de desarrollo Spartan-3E Starter kit (Virtex-5 LX ó Cyclone III Starter Kit).
- 1.3.3: Introducción al software de desarrollo ISE (Quartus)
- 1.3.4: Flujo de implementación: captura y síntesis.
- 1.3.5: Codificación HDL para simulación virtual (testbench modules)
- 1.3.6: Flujo de implementación: Traducción, Mapeo, Ruteo y Generación de archivo de configuración.
- 1.3.7: Flujo de implementación: Configuración de dispositivo y prueba funcional.

V. DESARROLLO POR UNIDADES

Competencia

El alumno será competente para…
[QUE] planear y organizar el desarrollo de sistemas digitales en dispositivos de alta escala de integración, y en el empleo de las herramientas asociadas …
[PARA QUE] para la elaboración, integración y prueba de sistemas digitales, …
[CON QUE] empleando recursos y estrategias para la portabilidad y escalabilidad del código HDL, el software de apoyo para la simulación, y la instrumentación para la prueba y verificación eléctrica, …
[COMO] con actitud crítica respecto al rendimiento y la fidelidad del sistema desarrollado.

Contenido **Duración**

10 HC / 10 HT / 10 HL

II. ESTRATEGIAS DE DISEÑO E INTEGRACIÓN DE SISTEMAS.

2.1: Diseño Modular y Bibliotecas.
- 2.1.1: Instanciación.
- 2.1.2: Estrategias de diseño modular y portabilidad de código HDL.
- 2.1.3: Recursos del software de desarrollo: plantillas.
- 2.2.4: Recursos web: bibliotecas/repositorios.

2.2: Simulación, Prueba Eléctrica y Verificación.
- 2.2.1: Sintaxis y operadores HDLs para generación de pruebas (testbench's).
- 2.2.2: Analizador Lógico.
- 2.2.3: Estrategias para la verificación eléctrica: estímulos, montajes, mediciones y análisis.

2.3: Evaluación de Rendimiento y Fidelidad.
- 2.3.1: Criterios generales para la evaluación de rendimiento en sistemas digitales.
- 2.3.2: Criterios específicos para la evaluación de rendimiento en tecnologías reconfigurables: Recursos, velocidad y energía.
- 2.3.3: Fidelidad del procesamiento y los tipos de datos estándar.

2.4: Interfaces y Hardware Externo.
- 2.4.1: Protocolos de interconexión con periféricos.
- 2.4.2: Comunicación serial: Receptor/Transmisor Asíncrono Universal (UART).
- 2.4.3: Comunicación serial 'Serial Peripheral Interface' (SPI).
- 2.4.4: Convertidores Digital-a-Análogo (DAC)
- 2.4.5: Interface VGA.
- 2.4.6: Memoria Externa SRAM.

V. DESARROLLO POR UNIDADES

Competencia

El alumno será competente para…

[QUE] sintetizar e incorporar módulos o núcleos de microprocesadores (softcores) en proyectos de HDL, así como en su programación, depuración y prueba, …

[PARA QUE] para desarrollar sistemas de arquitecturas digitales híbridas (de propósito general y/o dedicadas), y aquellas de hardware-software necesarias en problemas que requieran alto rendimiento y/o versatilidad,…

[CON QUE] empleando los núcleos de microprocesador comerciales o libres, así como los entornos de desarrollo integrados, …

[COMO] con sentido juicioso respecto a la pertinencia y eficiencia de los sistemas desarrollados.

Contenido

Duración

4 HC / 4 HT / 4 HL

III. NÚCLEOS DE MICRO-PROCESADORES EMPOTRADOS: SOFTCORES.

3.1: Introducción a los núcleos de microprocesadores empotrados.
- 3.1.1: Esquema general de los sistemas Hardware / Software.
- 3.1.2: Flujo de diseño hardware/software en FPGAs
- 3.1.3: Instanciación de módulo HDL de Microprocesador: Softcores.
- 3.1.4: Características de módulo microprocesador: Conjunto de instrucciones.

3.2: Programación de microprocesadores empotrados.
- 3.2.1: Organización del código ensamblador: Plantillas.
- 3.2.2: Desarrollo de programas y subrutinas.
- 3.2.3: Compilación del código.
- 3.2.4: Síntesis e implementación.
- 3.2.5: Depuración y prueba.

3.3: Interfaces de Entrada/Salida y Periféricos.
- 3.3.1: Puertos de salida.
- 3.3.2: Puertos de entrada.
- 3.3.3: Instanciación / Incorporación de periféricos.
- 3.3.4: Consideraciones para la partición de diseño hardware/software.

V. DESARROLLO POR UNIDADES

Competencia

El alumno será competente para…

[QUE] identificar y argumentar los desarrollos actuales de las tecnologías reconfigurables, …

[PARA QUE] para valorar sus ventajas y limitaciones, y con ello…

[COMO] elaborar juicios de pertinencia, factibilidad y viabilidad, así como ser prospectivo respecto a desarrollos futuros, …

[CON QUE] recurriendo a la lectura, análisis y discusión de artículos y textos especializados vigentes.

Contenido **Duración**

6 HC / 6 HT / 6 HL

IV. TÓPICOS SELECTOS DE TECNOLOGÍAS RECONFIGURABLES.

Las sesiones de laboratorio se dedican al desarrollo del proyecto final del curso.

4.1: Tópicos selectos en Hardware Reconfigurable.
- 4.1.1: FPGAs en el contexto de la diversidad de Tecnologías reconfigurables.
- 2.1.2: Módulos de hardware dedicados en FPGA.
- 2.1.3: Diversidad de FPGAs.
- 2.1.4: Diversidad de fabricantes.

4.2: Tópicos selectos en entornos de desarrollo de HDLs.
- 4.2.1: Diversidad de entornos de desarrollo HDLs.
- 4.2.2: Plataformas de edición visual: Esquemáticos.
- 4.2.3: Plataformas de edición multi-fuentes.

4.3: Tópicos selectos en Reconfiguración dinámica.
- 4.3.1: Reconfiguración parcial.
- 4.3.2: Reconfiguración dinámica.

4.4: Tópicos selectos en Simulación y Prueba Eléctrica.
- 4.4.1: Herramientas para la depuración en-circuito (on-board).
- 4.4.2: Vectores de prueba y simuladores.
- 4.4.3: Analizadores lógicos para la medición y verificación eléctrica.

4.5: Tópicos selectos en Tendencias y Desarrollos Emergentes.
- 4.5.1: Las tecnologías reconfigurables mixtas analógico / digital.
- 4.5.2: Mejoras en la densidad de integración.
- 4.5.3: Sistemas-Programables-en-Circuito-Integrado (Programmable Systems On Chip: PSoC).

VI. ESTRUCTURA DE LAS PRÁCTICAS DE LABORATORIO

No. de Práctica	Competencia(s) El alumno será capaz para….	Descripción	Material de Apoyo	Duración
1	Instalar y configurar la plataforma de software de desarrollo (ISE: Xilinx, Quartus: Altera) en computadora, para proveerse de la herramienta de trabajo para el curso, empleando el software de descarga libre ofertado por el fabricante, de manera metódica y con curiosidad respecto a la oferta tecnológica.	Descarga, Instalación, registro y configuración de la plataforma de software de desarrollo ((ISE: Xilinx, Quartus: Alter)	El **material básico** de trabajo será la tarjeta de desarrollo de FPGA, la plataforma de software de desarrollo, computadora	2 HL
2	Reproducir del flujo de diseño convencional para la implementación de sistemas digitales de baja escala, empleando lenguaje HDL y plataforma de software de desarrollo, de manera ordenada y sistemática.	Creación, edición, y simulación de proyecto digital a nivel de compuertas.	(mismo básico)	2 HL
3	Configurar sistemas digitales en dispositivos FPGAs, para poner en marcha y validar eléctricamente la correcta síntesis y fidelidad del sistema a nivel de compuertas, empleando la tarjeta de desarrollo FPGA, metódicamente y con disciplina.	Configuración básica de FPGA y verificación en tarjeta de desarrollo.	(mismo material)	2 HL
4	Formular codificaciones HDL para prueba (testbench) de proyectos digitales y evaluar los resultados de la simulación, para asegurar la correcto funcionalidad del sistemas, empleando las estructuras y recursos del HDL ideados para este fin y un simulador, de manera sistemática y crítica respecto a la amplitud y fidelidad de la simulación formulada.	Desarrollo de pruebas (testbench) e interpretación de resultados de simulación.	(mismo material)	2 HL
5	Diseñar, Configurar y Verificar sistemas digitales en dispositivo FPGA, para implementar proyectos de mediana escala de integración, empleando la metodología del flujo de diseño de circuitos secuenciales regulares y los recursos de software y hardware, de manera crítica respecto a la eficiencia y fidelidad del sistema desarrollado.	Diseño, Configuración y Prueba de sistemas digitales de lógica secuencial regular	(mismo material) -Osciloscopio -Analizador lógico	2 HL
6	Diseñar, Configurar y Verificar sistemas digitales en dispositivo FPGA, para implementar proyectos de mediana escala de integración, empleando la metodología del flujo de diseño de Máquinas de Estados Finitos(FSM) y los recursos de software y hardware, de manera crítica respecto a la eficiencia y fidelidad del sistema desarrollado.	Diseño, Configuración y Prueba de sistemas digitales de Máquinas de Estados Finitos (FSM)	(mismo material) -Osciloscopio -Analizador lógico	2 HL
7	Formular las pruebas eléctricas necesarias para asegurar la funcionalidad de sistemas digitales FSM, empleando el analizador lógico e instrumental de laboratorio, de manera cooperativa, respetuosa y con seguridad.	Analizador Lógico y verificación eléctrica de sistemas basados en FSM.	(mismo material) -Osciloscopio -Analizador lógico	2 HL
8	Verificar eléctricamente la funcionalidad de arquitecturas digitales de mediana escala de integración, empleando el instrumental de laboratorio, para evalaur el logro de funcionalidad, de manera sistemática y ordenada.	Verificación de Diseños de sistemas de mediana escala: a) contador de estacionamiento, b) contador de frecuencia, c) divisor aritmético, d) otros	(mismo material)	2 HL
9	Implementar y verificar el rendimiento de subsistemas de memoria internas y externas al FPGA, para implementar acceso a recursos de memoria de alta velocidad de acceso o disponibilidad masiva, recurriendo a las características técnicas del tipo de memoria empleada y disponible en el FPGA o en la tarjeta de desarrollo, de manera disciplinada respecto a empleo eficiente de recursos.	Implementación y prueba de subsistemas de memoria en FPGA y externa.	(mismo material) -Osciloscopio -Analizador lógico	2 HL

10	Implementar, verificar y evaluar el rendimiento de interfaces de comunicación serial, como estudio de caso de proyectos de sistemas interconectados, empleando el protocolo UART implementado a nivel de hardware, de manera comprometido a respetar las particularidades del protocolo.	Implementación y prueba eléctrica de interface serial UART.	(mismo material) -Osciloscopio -Analizador lógico -Computadora con RS-232	2 HL
11	Implementar, verificar y evaluar el rendimiento de interfaces de comunicación serial, como estudio de caso de proyectos de sistemas interconectados, empleando el protocolo SPI implementado a nivel de hardware, de manera comprometido a respetar las particularidades del protocolo.	Implementación y prueba eléctrica de interface serial SPI	(mismo material) -Osciloscopio -Analizador lógico	2 HL
12	Implementar, verificar y evaluar el rendimiento de interfaces de video VGA, como estudio de caso de integración de sistemas, empleando el protocolo VGA implementado a nivel de hardware, de manera comprometida a respetar las particularidades del protocolo.	Implementación y prueba eléctrica de interface VGA	(mismo material) -Osciloscopio -Analizador lógico -Monitor con VGA	2 HL
13	Implementar, verificar y evaluar el rendimiento del núcleo softcore de microprocesador instanciado en el FPGA, para realizar proyectos de integración de sistemas de lógica dedicada y microcontroladores en el FPGA, empleando las bibliotecas, softcores y demás recursos disponibles para este tipo de proyectos, de manera crítica respecto a la partición software/hardware.	Implementación y prueba eléctrica de núcleos 'suaves' de microcontroladores.	(mismo material) -Osciloscopio -Analizador lógico	2 HL
14	Integrar pruebas eléctricas de funcionalidad del avance del proyecto final, para validar fidelidad y logro de los requerimientos, empleando el instrumental de laboratorio y software de análisis matemático, de manera crítica y creativa.	Validación eléctrica de proyecto I	(mismo material) -Osciloscopio -Analizador lógico	2 HL
15	Integrar pruebas eléctricas de funcionalidad del avance del proyecto final, para validar fidelidad y logro de los requerimientos, empleando el instrumental de laboratorio y software de análisis matemático, de manera crítica y creativa.	Validación eléctrica de proyecto II	(mismo material) -Osciloscopio -Analizador lógico	2 HL
16	Integrar pruebas eléctricas de funcionalidad del avance del proyecto final, para validar fidelidad y logro de los requerimientos, empleando el instrumental de laboratorio y software de análisis matemático, de manera crítica y creativa.	Validación eléctrica de proyecto III	(mismo material) -Osciloscopio -Analizador lógico	2 HL

VI. ESTRUCTURA DE LAS PRÁCTICAS DE TALLER

No. de Práctica	Competencia(s) El alumno será capaz para….	Descripción	Material de Apoyo	Duración
1	Describir y Diferenciar las diversas metodologías de diseño digital, para identificar su pertinencia y utilidad en actividades de diseño de sistemas digitales, empleando los apuntes del curso de (11680) Diseño Digital, con disposición y respeto al intercambio de juicios y opiniones.	Técnicas y Metodologías de diseño digital (apuntes del curso 11680: Diseño digital)	En todos los casos se hará referencia a manuales de usuario de tarjeta de desarrollo, casos/ejemplo de libro de texto, proyector, computadora, pizarrón, y plataforma de software de desarrollo.	2 HT
2	Describir circuitos digitales a nivel de compuertas elementales, empleando lenguaje descriptor de hardware (HDL: VHDL, Verilog), para desarrollar bloques funcionales de tareas específicas, con orden y limpieza en la realización del código.	Codificación HDL a nivel de compuertas elementales.	(mismo material)	2 HT
3	Explorar y describir las funciones básicas de la plataforma de software de desarrollo para la realización de síntesis de sistemas en dispositivos FPGAs, empleando los manuales de usuario de la plataforma de software de desarrollo, con disciplina y disposición ante una plataforma compleja y multifuncional.	Codificación y flujo de diseño en plataforma de software de desarrollo.	(mismo material)	2 HT
4	Estructurar la codificación de sistemas digitales de mediana escala de integración, empleando los recursos del lenguaje HDL a nivel de Registros de Transferencia (RTL), para sintetizar circuitos digitales de propósito específico, de manera organizada y respetando las convenciones de documentación de código.	Codificación HDL a nivel de Registros de Transferencia (RTL)	(mismo material)	2 HT
5	Diseñar sistemas digitales secuenciales regulares para la solución de tareas específicas empleando las convenciones comúnmente aceptadas, de manera sistemática y crítico respecto a la fidelidad y robustez del sistema desarrollado.	Diseño de Sistemas digitales secuenciales regulares	(mismo material)	2 HT
6	Diseñar diagramas de Máquinas de Estados Finitos (FSM) para la solución de tareas específicas empleando las convenciones comúnmente aceptadas, de manera sistemática y crítico respecto a la fidelidad y robustez del sistema desarrollado.	Diseño de Máquinas de Estados Finitos (FSM)	(mismo material)	2 HT
7	Formular los requerimientos de prueba y simulación para FSM, empleando las estructuras de control de HDL para elaboración de pruebas (testbench), para probar y asegurar la funcionalidad del sistema, de manera sistemática y con disciplina.	Formulación de secuencias de pruebas (testbench) para FSM	(mismo material)	2 HT
8	Diseñar arquitecturas digitales para la solución de problemas específicos que requieran mediana escala de integración, empleando las metodologías y flujo de diseño de software y hardware estudiadas, de manera sistemática y ordenada.	Diseño de sistema de mediana escala: a) contador de estacionamiento, b) contador de frecuencia, c) divisor aritmético, d) otros	(mismo material)	2 HT
9	Diseñar y evaluar subsistemas de control y acceso de memorias internas y externas, recurriendo a los protocolos de comunicación inter-circuitos y a su implementación en hardware en FPGA, para la implementación de recursos de memoria para aplicaciones que requieran alta velocidad de acceso o almacenamiento masivo de datos, de manera crítica respecto a la eficiencia, pertinencia y empleo de recursos invertidos.	Implementación de bloques de memorias en FPGA y acceso a memoria externa.	(mismo material)	2 HT

10	Diseñar y evaluar sistemas digitales que empleen recursos de memoria (interna/externa) para la realización proyectos de mediana escala de integración y alta velocidad de procesamiento, empleando los recursos de memoria reconfigurables del FPGA, de manera crítica respecto a la velocidad y empleo de recursos.	Proyectos basados en memoria: a) sintetizador digital de señales, b) memorias FIFO, c) otros.	(mismo material)	2 HT
11	Diseñar y simular sistemas digitales que administren la transferencia de mensajes via interface serial, para desarrollar sistemas de mediana u alta escala de integración, empleando estrategias de reciclado de código, bibliotecas, plantillas u otros recursos disponibles en la plataforma de software de desarrollo, de manera crítica respecto valorar tiempo de desarrollo contra eficiencia y empleo de recursos.	Interface UART	(mismo material)	2 HT
12	Diseñar y simular sistemas digitales generadores de patrones para desarrollar interfaces de video VGA, empleando estrategias de integración de sistemas y los recursos disponibles en la plataforma de software de desarrollo, de manera ordenada y crítica respecto al eficiente empleo de recursos.	Interface VGA y generadores de patrones	(mismo material)	2 HT
13	Desarrollar y programar núcleo softcore de microprocesadores, empleando el lenguaje ensamblador y demás recursos de la plataforma de software de desarrollo, para realizar tareas de entrada/salida de microcontrolador en FPGA, de manera ordenada y creativa.	Programación de Núcleos 'suaves' de microcontroladores	(mismo material)	2 HT
14	Presentar, discutir y evaluar los avances de proyecto realizador por los equipos de trabajo, para valorar los resultados e identificar las áreas de oportunidad y de mejora, empleando los análisis de rendimiento, uso de recursos, y velocidad de procesamiento, de manera respetuosa con sus compañeros, y con responsabilidad de hacer aportaciones constructivas y apropiadamente fundamentadas y argumentadas.	Avance de proyecto I	(mismo material)	2 HT
15	Presentar, discutir y evaluar los avances de proyecto realizador por los equipos de trabajo, para valorar los resultados e identificar las áreas de oportunidad y de mejora, empleando los análisis de rendimiento, uso de recursos, y velocidad de procesamiento, de manera respetuosa con sus compañeros, y con responsabilidad de hacer aportaciones constructivas y apropiadamente fundamentadas y argumentadas.	Avance de proyecto II	(mismo material)	2 HT
16	Presentar, discutir y evaluar los avances de proyecto realizador por los equipos de trabajo, para valorar los resultados e identificar las áreas de oportunidad y de mejora, empleando los análisis de rendimiento, uso de recursos, y velocidad de procesamiento, de manera respetuosa con sus compañeros, y con responsabilidad de hacer aportaciones constructivas y apropiadamente fundamentadas y argumentadas.	Avance de proyecto III	(mismo material)	2 HT

VII. METODOLOGÍA DE TRABAJO

Se sugiere una estrecha relación entre las clases, talleres y laboratorios, a fin de establecer un ciclo que presente, ejercite y cierre las discusiones que comprenden este curso. En las clases se presentarán los temas, argumentados, detallados y contextualizados; en los talleres se realizaran ejercicios de codificación, del uso de las plataformas de software a fin de analizar las estrategias y metodologías, y producir los sistemas que en las actividades de laboratorio habrán de implementarse y sintetizarse en el FPGA y la tarjeta de desarrollo, a fin de validar el correcto funcionamiento empleando mediciones con los instrumentales de laboratorio, y demás herramientas que den cuenta de la fidelidad, velocidad de procesamiento y demás métricas de calidad y eficiencia de los diseños elaborados.

En las clases se recurrirá a libros de texto, notas de aplicación, manuales de usuario y recursos en web de los fabricantes y desarrolladores, para estructurar las exposiciones de temas que serán desarrollados alternativamente por el instructor y los alumnos.

En los talleres, el instructor señalará los ejercicios, los análisis de casos de aplicación, las metodologías de diseño y demás herramientas pertinentes para ejercitar el diseño de sistemas en dispositivos reconfigurables FPGAs; asi mismo se indicarán las métricas que serán empleadas para valorar la fidelidad, la velocidad de procesamiento, el empleo de recursos, y otras, que sean comúnmente empleadas para calificar la eficiencia del diseño. Con oportunidad se promoveré el trabajo en equipo en estas actividades.

En los laboratorios los alumnos sintetizarán en el FPGA los diseños elaborados durante en los talleres, y propondrán las pruebas eléctricas a formular para validar eléctricamente la funcionalidad del sistema diseñado; se promoverá que los alumnos realicen juicios debidamente argumentados respecto a la pertinencia y eficacia de sus diseños elaborados. Se producirá un reporte técnico de las actividades que impliquen integración de sistemas, validación y prueba eléctrica, y valoración de resultados. Periódicamente se promoverá que los alumnos intercambien información de sus trabajos y de sus resultados, procurando el respetuoso intercambio de ideas y valoraciones.

VIII. CRITERIOS DE EVALUACIÓN

Se sugiere que para acreditar el curso, el alumno deberá evidenciar el logro de la competencia del curso mediante evaluaciones parciales, actividades de taller, actividades de laboratorio y un proyecto final.

Se proponen 2 evaluaciones parciales que comprendan una sección escrita y una sección de laboratorio (Unidad I, Unidad II); la escrita valorará el dominio de conceptos, características y propiedades del HDL y FPGA, y las estrategias de diseño y codificación; en la sección de laboratorio se valorará la competencia del alumno para trasladar a hardware FPGA el diseño elaborado en la sección escrita, mediante el uso de las herramientas (software y tarjeta de desarrollo), así como la formulación de pruebas eléctricas de validación y evaluación de rendimiento del diseño.

En el proyecto final se propondrá un caso concreto de aplicación (aplicado a comunicaciones, instrumentación, control, imágenes u otro) que requiriendo alta velocidad de procesamiento, resolución y fidelidad específica, procesamiento concurrente o paralelismo, la integración de funciones en un solo FPGA, u otros, de manera que el alumno ejercite el empleo juicioso de los recursos, herramientas y metodologías estudiadas. Este proyecto comprenderá e integrará los temas de las unidades III y IV.

EN EVALUACIÓN ORDINARIA:

CASO I: EXENTAR EXAMEN FINAL ORDINARIO: Se sugiere que para exentar el examen ordinario el alumno haya acumulado en evaluaciones parciales un promedio superior a 70, y contar con promedio de calificación en laboratorio y taller aprobatorio, y haber presentado satisfactoriamente el proyecto final.

Exámenes parciales (2) 30%; Laboratorio 20%; Taller 20%; Proyecto Final 30%.

CASO II: PRESENTAR EXAMEN FINAL ORDINARIO: De no alcanzar los mínimos sugeridos en el caso anterior, se propone:

Examen final Ordinario: Parte Escrita 50%

Examen final Ordinario: Parte Práctica de laboratorio 50%.

EN EVALUACIÓN EXTRA-ORDINARIA:

Examen Escrito 50%

Examen práctico de laboratorio 50%

IX. BIBLIOGRAFÍA

Básica	Complementaria
• Pong P. Chu FPGA Prototyping by VHDL Examples; Xilinx Spartan-3 Version Wiley Interscience; 2008. • Volnei A. Pedroni Circuit Design and Simulation with VHDL; second editin The MIT Press; 2010. • Jean-Pierre Deschamps Synthesis of arithmetic circuits: FPGA, ASIC, and embedded systems John Wiley; 2006. • Manual de usuario de plataforma de software de desarrollo: -ISE Webpack (Xilinx Inc; www.xilinx.com) -Quartus II Web Edition (www.altera.com) -otro semejante • Manual de usuario de tarjeta de desarrollo -Spartan 3E Starter Kit (www.xilinx.com) -Atlys Spartan-6 FPGA Development Board (www.xilinx.com) -Cyclone II Starter Development Kit (www.altera.com) -Cyclone III FPGA Starter Kit (www.altera.com) -otro equipo semejante. • Hoja de Especificaciones de FPGA (Data sheet): -Spartan-3E FPGA: XC3S500E (www.xilinx.com) -Spartan-6 LX45 FPGA (www.xilinx.com) -Cyclone II EP2C20F484C7 (www.altera.com) -Cyclone III EP3C25F324 FPGA (www.altera.com) -o el respectivo en la tarjeta de desarrollo.	• The Design Warrior´s Guide to FPGAs: Devices, Tools and Flows. Clive Maxfield. Newnes-Elsevier; 2004. • Charles H. Roth Digital Systems Design Using VHDL Thomson, 2008. • Roger Woods FPGA-based implementation of signal processing systems John Wiley & Sons; 2008 • Notas técnicas de aplicación, ejemplos y tutoriales -Xilinx: Support / App Notes and White papers (http://xilinx.com/support/) -Altera: Knowledge Center (http://www.altera.com/support/kdb) -Altera: Design and Support Resources Guide (http://www.altera.com/support/design-support-resources) -Otras Fuentes de fabricantes y desarrolladores.